

METHOD FOR PRODUCING THIN VINYLIDENE FLUORIDE OLIGOMER FILM AND DEVICE USING THE FILM

Publication number: JP2004076108

Publication date: 2004-03-11

Inventor: NODA HIROSHI; ISHIDA KENJI; HORIUCHI YOSHITOSHI; MATSUSHIGE KAZUMI

Applicant: KANSAI TLO KK

Classification:

- international: C23C14/12; C23C14/24; H01B19/00; H01L21/312; H01L21/8246; H01L21/8247; H01L27/105; H01L29/788; H01L29/792; H01L41/08; H01L41/09; H01L41/193; H01L41/26; H01L51/00; H01L51/05; H01B19/00; C23C14/12; C23C14/24; H01B19/00; H01L21/02; H01L21/70; H01L27/105; H01L29/66; H01L41/08; H01L41/09; H01L41/18; H01L41/22; H01L51/00; H01L51/05; H01B19/00; (IPC1-7): H01B19/00; C23C14/12; C23C14/24; H01L21/312; H01L21/8247; H01L27/105; H01L29/788; H01L29/792; H01L41/08; H01L41/09; H01L41/193; H01L41/26; H01L51/00

- european:

Application number: JP20020239437 20020820

Priority number(s): JP20020239437 20020820

Report a data error here

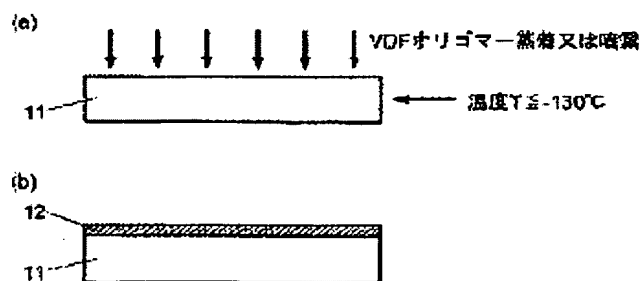
Abstract of JP2004076108

PROBLEM TO BE SOLVED: To provide a thin ferroelectric film with a good ferroelectricity and can be produced under little restriction.

SOLUTION: The thin vinylidene fluoride (VDF) oligomer film is formed by vapor depositing or spraying a VDF oligomer, $\text{CF}_3\text{-(CH}_2\text{-CF}_2\text{)}_n\text{-CH}_3$ (wherein n is

10-50), on a substrate 11 in a vacuum or in a dry gas while the substrate 11 is kept at -130 [deg.]C or lower. Since the VDF oligomer film 12 has a high pyroelectric coefficient and a low specific permittivity and can be made thin, its performance as a ferroelectric is good; since the film can be formed on various substrates without needing a high-temperature treatment, little restriction is imposed on the other parts of an element; thus, the film can be suitably used in a device such as a ferroelectric memory.

COPYRIGHT: (C)2004,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-76108

(P2004-76108A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
C23C 14/12	C23C 14/12	4K029
C23C 14/24	C23C 14/24	5F058
H01L 21/312	H01L 21/312	5F083
H01L 21/8247	H01L 27/10 444A	5F101
H01L 27/105	H01L 27/10 444Z	5G333
審査請求 未請求 請求項の数 13 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2002-239437 (P2002-239437)
 (22) 出願日 平成14年8月20日 (2002. 8. 20)

特許法第30条第1項適用申請有り 2002年3月27日~30日 開催の「2002年(平成14年)春季第49回応用物理学関係連合講演会」において文書をもって発表

(71) 出願人 899000046
 関西ティー・エル・オー株式会社
 京都府京都市下京区中堂寺栗田町93番地
 100095670
 弁理士 小林 良平
 (74) 代理人 100077171
 弁理士 竹内 尚恒
 (72) 発明者 野田 啓
 京都市左京区吉田本町 京都大学ベンチャービジネスラボラトリー内
 (72) 発明者 石田 謙司
 京都市左京区吉田本町 京都大学ベンチャービジネスラボラトリー内

最終頁に続く

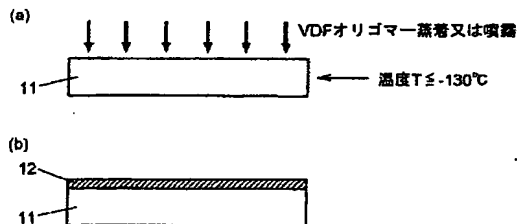
(54) 【発明の名称】 フッ化ビニリデンオリゴマー薄膜製造方法及び該薄膜を用いたデバイス

(57) 【要約】

【課題】良好な強誘電性を有し、製造時の制約が小さい強誘電体薄膜を提供する。

【解決手段】基板11上に、この基板11を -130°C 以下に冷却しつつ、真空中又は乾燥気体中においてフッ化ビニリデン(VDF)オリゴマー($\text{CF}_3-(\text{CH}_2\text{CF}_2)_n-\text{CH}_3$ 、 $n=10\sim50$)を蒸着又は噴霧することによってVDFオリゴマー薄膜12を形成する。このように形成されたVDFオリゴマー薄膜は、焦電係数が高く且つ比誘電率が低く、更に膜厚を小さくすることができるため、強誘電体としての性能が良い。また、様々な基板上に形成可能であり且つ高温処理を行う必要がないことから、素子の他の部分に対する制約が小さい。このような特長により、強誘電体メモリなどのデバイスにこのVDFオリゴマー薄膜を好適に用いることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

−130℃以下に冷却した基板上に、 $\text{CF}_3-(\text{CH}_2\text{CF}_2)_n-\text{CH}_3$ （ここで、 $n=10\sim50$ ）又はその CH_3 基若しくは CF_3 基の一方をハロゲン原子で置換したフッ化ビニリデンオリゴマー、又はフッ化ビニリデン単量体と他の有機単量体との共重合オリゴマーを、真空中又は乾燥気体中において蒸着又は噴霧することを特徴とするフッ化ビニリデンオリゴマー薄膜製造方法。

【請求項 2】

前記基板の冷却温度を−160℃以下とすることを特徴とする請求項 1 に記載のフッ化ビニリデンオリゴマー薄膜製造方法。

10

【請求項 3】

前記フッ化ビニリデンオリゴマー薄膜の膜厚を100nm以下とすることを特徴とする請求項 1 又は 2 に記載のフッ化ビニリデンオリゴマー薄膜製造方法。

【請求項 4】

a) ソース電極及びドレイン電極との間に設けられた p 型又は n 型半導体から成るキャリア輸送層と、

b) 前記キャリア輸送層に近接して設けられたゲート電極と、

c) 前記キャリア輸送層とゲート電極との間に設けられた、I 型強誘電相を主とするフッ化ビニリデンオリゴマー薄膜と、

を備えることを特徴とする強誘電体メモリ。

20

【請求項 5】

a) 絶縁性基板上に設けられた導電性のワード線を略平行に並べたワード線層と、

b) 前記ワード線と直交する導電性のビット線を略平行に並べたビット線層と、c) 前記ワード線層と前記ビット線層との間に設けられた、I 型強誘電相を主とするフッ化ビニリデンオリゴマー薄膜層と、

を備えることを特徴とする強誘電体メモリ。

【請求項 6】

前記ワード線層と前記ビット線層とが交互に複数積層し、前記フッ化ビニリデンオリゴマー薄膜層が前記複数のワード線層及びビット線層の間に全て設けられることを特徴とする請求項 5 に記載の強誘電体メモリ。

30

【請求項 7】

a) 一方の端部に探針を有し、他方の端部に装置への固定部を有するカンチレバーと、

b) 前記カンチレバー上に載置された下部電極と、

c) 前記下部電極上に載置された、I 型強誘電相を主とするフッ化ビニリデンオリゴマー薄膜と、

d) 前記フッ化ビニリデンオリゴマー膜上に載置された上部電極と、

を備えることを特徴とする圧電膜カンチレバー。

【請求項 8】

請求項 7 に記載の圧電膜カンチレバーを探針とすることを特徴とする原子間力顕微鏡。

【請求項 9】

基板上に、I 型強誘電相を主とするフッ化ビニリデンオリゴマー薄膜と、該フッ化ビニリデンオリゴマー薄膜を挟んで1対の電極を設けたことを特徴とする超音波素子。

40

【請求項 10】

部分球面状の凹部を持つ基板の該凹部上に、I 型強誘電相を主とするフッ化ビニリデンオリゴマー薄膜と、該フッ化ビニリデンオリゴマー薄膜を挟む1対の電極を設けたことを特徴とする請求項 9 に記載の超音波素子。

【請求項 11】

請求項 10 に記載の超音波素子を検出手段とすることを特徴とする超音波顕微鏡。

【請求項 12】

請求項 10 に記載の超音波素子を2次元的に複数個配列して成ることを特徴とする超音波 50

検出器。

【請求項 13】

請求項 12 に記載の超音波検出器を検出手段とすることを特徴とする超音波診断装置用検出器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機強誘電体薄膜の製造方法、及びこの方法により製造された有機強誘電体薄膜を用いた記憶素子や圧電素子等のデバイスに関する。

【0002】

【従来の技術】

強誘電体薄膜は、記憶素子（メモリ）、圧電素子、熱センサ等のデバイス等に用いられている。例えば強誘電体メモリは、強誘電体薄膜が有する自発分極の極性を記憶の手段とし、高電界印加による分極反転を利用して情報の書き込みや読み出しを行うものである。これまでに、MOSトランジスタと強誘電体キャパシタを組み合わせた1T1C（1トランジスタ1キャパシタ）方式や、Siの電界効果トランジスタ（FET）のゲート部に強誘電体薄膜を設けた1T方式が提案されている。このうち1T1C方式の強誘電体メモリが実用化されている。

【0003】

1T1C方式の強誘電体メモリは読み出し時に強誘電体の抗電界を超える電界を印加するため、読み出しによって記憶が消失する「破壊読み出し」となり、読み出し後に再書き込みが必要となる。それに対して、1T方式の強誘電体メモリはFETのゲート部に設けられた強誘電体薄膜の分極電荷によりゲート電極の電位を制御し、その電位の違いによって生じるソースドレイン間電流の大小により記憶を読み出すものであり、「非破壊読み出し」を行うことができる。そのため、1T方式の強誘電体メモリが実用化されれば、1T1C方式の強誘電体メモリより望ましいものとなる。

【発明が解決しようとする課題】

【0004】

しかし、従来用いられている強誘電体の多くは金属酸化物であるため、その結晶化には高温での熱処理が必要となる。そのため、FETのゲート部のSi半導体上に金属酸化物強誘電体を形成すると、その熱処理によりSi半導体と強誘電体との界面にSiO₂等の不要な膜が形成されてしまい、動作電圧の増加やキャリアトラップによる残留分極量の減少等の問題が生じていた。

【0005】

金属酸化物強誘電体以外に、三硫酸グリシン（TGS）等の有機・無機複合系強誘電体や、ポリフッ化ビニリデン（PVDF）やPVDFと三フッ化エチレン（TrFE）とのランダム共重合体であるP（VDF/TrFE）等の強誘電ポリマー等の有機強誘電体を用いることも考えられる。しかし、TGSにおいてはバルク結晶は得られるが、現状では薄膜は得られていない。有機強誘電体膜は主にスピコート法を用いて作製されるため、大面積に亘り再現性良く薄膜作製を行ううえで、膜厚を1μm程度までしか薄くすることができなかった。また、スピコート法を用いると、結晶化を促進するために必要となる熱処理の際に分子が凝集するために、膜厚が薄い場合には膜内の各所に穴が開きやすくなるという問題も生じる。後述のように、強誘電性の優れた強誘電体膜とするためには膜厚を薄くすることが望ましいため、これらの有機強誘電体や有機・無機複合系強誘電体の膜は、強誘電体メモリとして十分な性能を得ることができない。

【0006】

このような強誘電体薄膜の性能の向上に関する問題は、強誘電体メモリに限らず、圧電素子や熱センサ等の他のデバイスにおいても同様である。

【0007】

一方、本願発明者らは、上記の問題を生じない強誘電体薄膜材料の候補として、結晶化を

10

20

30

40

50

促進するための熱処理を要することなく、かつ膜厚を薄くすることができる蒸着法によって薄膜形成が可能なフッ化ビニリデンオリゴマー（VDFオリゴマー） $\text{CF}_3 - (\text{CH}_2\text{CF}_2)_n - \text{CH}_3$ に着目した。VDFオリゴマーはバルク状態において強誘電相であるI型と常誘電相であるII型が存在する。しかし、従来、蒸着によって作製した薄膜は膜中のII型の存在比が高くなるうえに分子鎖がランダムな方向に配向してしまうため、強誘電性を示さなかった。それに対して、本願発明者らはKBr基板の(001)面上にエピタキシャル成長させたI型の薄膜を作成し、強誘電体に特有の現象である分極反転を観測することに成功した（野田啓他、2000年春季応用物理学会予稿集p. 1236。以下「2000年春季予稿集」と呼ぶ。）。

【0008】

しかし、I型の薄膜が形成されるか否かは基板の種類に依存する。そのため、上記強誘電体メモリにおけるSi半導体上のように、所望の基板等の上にI型VDFオリゴマーの薄膜を任意に形成することはできなかった。

【0009】

一方、I型VDFオリゴマーの薄膜をKBr基板から取り外し、所望の基板上に載置することも考えられる。しかし、VDFオリゴマー薄膜はKBr基板上で、基板との物理的又は化学的な相互作用により強く吸着しているため、この基板からVDFオリゴマー薄膜を取り外すには特殊な方法を用いることが必要である。本願発明者らは、KBr基板上に作製したVDFオリゴマーのI型の薄膜をKBr基板から取り外すことに成功している（2000年春季予稿集）が、工業的には実用化が難しい。

【0010】

本発明はこのような課題を解決するために成されたものであり、その目的とするところは、作製時に結晶化度の向上のための熱処理が不要であり、容易に膜厚の薄い薄膜が得られ、かつ任意の基板等の上に形成することができるVDFオリゴマー薄膜の製造方法を提供することにある。併せて、このVDFオリゴマー薄膜の特性を生かした各種デバイスを提供する。

【0011】

【課題を解決するための手段】

上記課題を解決するために成された本発明に係るフッ化ビニリデンオリゴマー薄膜製造方法は、 -130°C 以下に冷却した基板上に、 $\text{CF}_3 - (\text{CH}_2\text{CF}_2)_n - \text{CH}_3$ （ここで、 $n=10\sim50$ ）又はその CH_3 基若しくは CF_3 基の一方をハロゲン原子で置換したフッ化ビニリデンオリゴマー、又はフッ化ビニリデン単量体と他の有機単量体との共重合オリゴマーを、真空中又は乾燥気体中において蒸着又は噴霧することを特徴とする。

【発明の実施の形態】

【0012】

本明細書（特許請求の範囲を含む）においては、 $\text{CF}_3 - (\text{CH}_2\text{CF}_2)_n - \text{CH}_3$ 及びその CH_3 基若しくは CF_3 基の一方をハロゲン原子で置換した物質を総称してフッ化ビニリデンオリゴマー又はVDFオリゴマーと呼ぶ。重合数 n は後述の理由から10から50の範囲内とする。現時点では、VDFオリゴマーは CH_3 基がハロゲン原子で置換されたものの方が製造が容易であるが、強誘電性は CH_3 基の置換の有無に関わらず同等である。

【0013】

まず、VDFオリゴマー薄膜の製造方法について図1を用いて説明する。薄膜を形成するための基板11を用意する。前記2000年春季予稿集に記載の方法においては基板の種類を限定する必要があったのに対して、本発明では基板の種類が限定されず、基板11には絶縁体や金属等の様々な材料を用いることができる。例えば、前記1T方式の強誘電体メモリのFETのゲート部に用いられるSi半導体を基板とすることができる。

【0014】

この基板11を -130°C 以下に冷却しつつ、真空中又は乾燥気体中においてVDFオリゴマーを蒸着又は噴霧することによってVDFオリゴマー薄膜12を形成する。本明細書

10

20

30

40

50

において噴霧とは、溶媒中に溶解させたVDFオリゴマーを噴射し、基板上に載置した後、溶媒を蒸発させることによって基板上に薄膜を形成することを意味する。基板を -130°C 以下に冷却することによって、VDFオリゴマーの分子鎖が基板に平行な向きに配向し、このような分子鎖の配列構造によって強誘電性を発現しやすい状態にすることができる。

【0015】

作製時の基板温度が -130°C よりも低い条件で作製されたVDFオリゴマー薄膜12は、強誘電相であるI型の分子鎖ばかりではなく、常誘電相であるII型の分子鎖も一部生成する場合がある。しかし、その比率は非常に小さいため、全体としては実用上十分な強誘電性が得られる。

10

【0016】

なお、薄膜作製時の基板の温度を -130°C よりも高くするとII型の分子鎖の比率が大きく、且つ分子鎖の配列構造が乱れ、十分な強誘電性を示さないVDFオリゴマー薄膜が形成される場合が生じる。従って、本発明に係るVDFオリゴマー薄膜の製造方法においては、作製時の基板温度を -130°C 以下とした。

【0017】

VDFオリゴマーの重合数 n は、以下の理由により10～50の範囲内とした。重合数 n が50を超えると、蒸着によるVDFオリゴマー層作製時に分子の熱分解が生じ薄膜の結晶性を低下させる。一方、重合数 n が10未満では、分子の揮発性が高くなり蒸着による薄膜作成が困難になるうえに、温度等の外的作用に対して結晶構造の安定性が悪くなる。

20

【0018】

本発明に係る製造方法は、前記のVDFオリゴマー薄膜の製造に限らず、フッ化ビニリデン(VDF)単量体と他の有機単量体との共重合オリゴマーの薄膜を製造する場合にも適用することができる。「他の有機単量体」には、例えばトリフルオロエチレン(CHF_2CF_2 、略称TrFE)、テトラフルオロエチレン(CF_2CF_2 、略称TeFE)、シアン化ビニリデン($\text{CH}_2\text{C}(\text{CN})_2$ 、略称VDCN)等がある。

【0019】

本発明に係る製造方法において、水晶振動子膜厚計等を用いて随時膜厚を測定しながら成膜し、あるいは成膜する時間を調整することによって、得られるVDFオリゴマー薄膜の膜厚を任意に調整することができる。特に、その厚さを、これまでの強誘電ポリマー等の有機強誘電体では実現することのできなかった100nm以下にすることができる。

30

【0020】

以下に、強誘電体の有する機能の1つである焦電性の性能について、本発明に係るVDFオリゴマー薄膜と、前記従来技術の無機強誘電体薄膜及び強誘電体ポリマー膜とを比較する。焦電体としての性能を表す指数として、以下の(1)式に示す焦電性能指数 ρ がある。

$$\rho = p / (\epsilon \cdot C) \quad \cdots (1)$$

ここで p は焦電係数であり、温度 T の単位変化当たりの分極 P の変化 dP/dT で表される。 ϵ は比誘電率である。 C は熱容量であり、焦電体の膜厚 d 、面積 S 及び体積比熱 C_v を用いて $C = d \cdot S \cdot C_v$ で表される。ここで、面積 S は薄膜作製の対象(基板など)により決定されるものであり、個々の焦電体を特徴づけるパラメータではない。従って、強誘電体の焦電体としての性能を測るうえで検討すべきパラメータは、焦電係数 p 、比誘電率 ϵ 、体積比熱 C_v 及び膜厚 d となる。(1)式より、焦電係数 p が大きく、比誘電率 ϵ 、体積比熱 C_v 及び膜厚 d が小さい方が強誘電体を焦電体として用いた場合の性能が良くなるといえる。

40

【0021】

本発明に係る方法によって製造されるVDFオリゴマー薄膜と、無機強誘電体薄膜としてよく用いられる $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (略称:PZT)薄膜及び強誘電体ポリマー膜であるPVDF及びP(VDF/TrFE)の前記4つのパラメータを図2の表にまとめた。体積比熱 C_v は4種の(薄)膜の間で大きな差はないため、他の3つのパラメータに

50

注目する。まず、VDFオリゴマー薄膜とPZT薄膜とを比較すると、焦電係数 p はVDFオリゴマー薄膜がPZT薄膜の約 $1/4$ とVDFオリゴマー薄膜が不利であるが、比誘電率 ϵ はVDFオリゴマー薄膜がPZT薄膜の約 $1/200$ 倍の値を持つためVDFオリゴマー薄膜が有利であり、膜厚 d はVDFオリゴマー薄膜がPZT薄膜と同等又はそれ以下の値を持つためVDFオリゴマー薄膜が有利である。その結果、VDFオリゴマー薄膜の焦電性能指数はPZT薄膜の焦電性能指数の50倍以上となる。同様に、VDFオリゴマー薄膜と強誘電体ポリマー膜とを比較すると、VDFオリゴマー薄膜の焦電性能指数は強誘電体ポリマー膜の焦電性能指数の約15倍以上となる。以上のように、本発明に係る方法によって製造されるVDFオリゴマー薄膜は、従来の無機強誘電体薄膜や強誘電体ポリマー膜より1桁以上も焦電性の優れた強誘電体薄膜となる。

10

【0022】

【発明の効果】

本発明に係るVDFオリゴマー薄膜の製造方法によって、強誘電性を示すVDFオリゴマー薄膜を絶縁体や金属等の様々な基板の上に作製することができる。例えば、強誘電体メモリ等のデバイスに用いる強誘電体薄膜にVDFオリゴマー薄膜を適用することができるようになる。このVDFオリゴマー薄膜の製造過程においては基板を加熱することがないので、基板に酸化等の悪影響を及ぼすことがない。更に、強誘電体としての性能が従来の強誘電性（薄）膜よりも向上する。この性能の向上は、材料固有のパラメータである焦電係数 p 及び比誘電率 ϵ が良好な値を持つうえに、本発明に係る製造方法によって膜厚 d を小さくすることができることによる。

20

【0023】

【実施例】

以下に、本発明に係るVDFオリゴマー薄膜の製造方法の一実施例を図3を用いて説明する。まず、 SiO_2 熱酸化膜を形成したSiウエハ21の表面に、高周波マグネトロンスパッタリング法により白金を堆積させ（a）、厚さ約200nmの白金層22を形成し、これをVDFオリゴマー薄膜作製の基板20とした（b）。基板20を成膜室（図示せず）に入れ、成膜室内部を約 1×10^{-4} Paの真空状態とした。液体窒素を用いて基板20を -160°C に冷却しつつ、原料のVDFオリゴマーを $100^\circ\text{C} \sim 150^\circ\text{C}$ に加熱して蒸発させ、基板20上に蒸着させてVDFオリゴマー薄膜23を形成した（c）。ここで、用いたVDFオリゴマーは $\text{CF}_3 - (\text{CH}_2\text{CF}_2)_{17} - \text{I}$ 、すなわち重合数 n が

30

17であり、末端の CH_3 基をヨウ素原子で置換したものである。VDFオリゴマー薄膜23の成膜中は水晶振動子膜厚計により随時膜厚を測定しつつ前記原料VDFオリゴマーの温度を調整することにより、成膜速度が毎分0.2~0.3nmとなるように調整した。VDFオリゴマー薄膜23の膜厚が所定の膜厚になった時、蒸着及び基板20の冷却を終了し、成膜室内部の真空を保ったままで基板20を自然に昇温させた。基板20の温度がほぼ室温に達した時点で試料を成膜室から取り出した。これにより、VDFオリゴマー薄膜23を蒸着した試料が完成した（d）。

【0024】

本実施例では、上記の方法により膜厚100nmの試料及び膜厚500nmの試料を得た。これらの試料のVDFオリゴマー薄膜23の上に電極として厚さ50nmのアルミニウムを蒸着し、このアルミニウム電極と白金層（電極）22の間に、振幅35V、周波数500Hz（膜厚100nmの試料の場合）又は振幅160V、周波数800Hz（膜厚500nmの試料の場合）の三角波電圧を印加して試料の電束密度-電界（D-E）特性を測定した。その結果を膜厚100nmの試料については図4（a）に、膜厚500nmの試料については図4（b）に示す。このD-E曲線は強誘電体に特有のヒステリシス曲線となり、作製したVDFオリゴマー薄膜が強誘電性を示すことが確認された。

40

【0025】

この図から、（i）電界を印加し分極が生じた後に電界を0にしても分極が保持される、（i i）大きさ約200MV/m（膜厚500nmの試料の場合）又は約250MV/m（膜厚100nmの試料の場合）以上の電界を分極方向と逆向きに印加することにより分

50

極方向を反転することができる、ことがわかる。従って、例えば上向きの分極を"1"、下向きの分極を"0"とすれば、これは不揮発性の強誘電体メモリとなる。このメモリへの書き込みは、上記の約200MV/m又は約250MV/m以上の正負いずれかの電界を印加することにより行うことができる。その際に必要な電圧は、例えば膜厚が100nmの場合には250(MV/m)×100nm=25Vとなる。また、電界が0の時の残留分極量は、有機強誘電体の中でも最高レベルの112mC/m²(膜厚500nmの試料の場合)である。これは、本発明に係るVDFオリゴマー薄膜を使用したメモリが極めて情報保持力の高いメモリであることを示している。

【0026】

前記Siウェハ21と白金層22から成る基板の他に、Si基板、KBrの(100)面を表面とした基板、ガラス上に金を約200nm堆積させた基板、MgOの(100)面上に上記と同様の方法により白金を約200nm堆積させた基板に対して、前記と同様の方法によりVDFオリゴマー薄膜の作製を行った。その結果、前記のSiウェハ21と白金層22から成る基板上に作製したVDFオリゴマー薄膜と同様の特性が得られた。

【0027】

【応用例】

以下に、本発明に係る製造方法によって得られるVDFオリゴマー薄膜の特性を利用した各種デバイスについて説明する。

【0028】

(1) 強誘電体メモリ

本発明に係る製造方法によって得られるVDFオリゴマー薄膜を用いた、前記1T方式の強誘電体メモリの構成を図5(a-1)を用いて説明する。半導体製基板31上にソース電極34及びドレイン電極35を設ける。ソース電極34とドレイン電極35との間の半導体製基板31の表面付近が、絶縁ゲート型FETにおけるチャネル領域となる。このチャネル領域の上に前記の方法によってVDFオリゴマー薄膜32を形成する。VDFオリゴマー薄膜32の上にゲート電極33を設ける。この構成において、VDFオリゴマー薄膜32はメモリの記憶部の役割を有し、併せて絶縁ゲート型FETにおけるゲート電極-チャネル間の絶縁体層の役割を有する。

【0029】

図5(a-1)及び(a-2)を用いて強誘電体メモリの動作を説明する。ここでは半導体製基板31がp型無機半導体である場合について説明する。VDFオリゴマー薄膜32にその抗電界以上の電界が印加されるように、ゲート電極33-接地間に負の電圧V_g(a-1)又は正の電圧V_g(a-2)を印加し、VDFオリゴマー薄膜32内に分極を誘起する。この分極は電圧V_gの印加を終了した後も残る。負の電圧V_gを印加して(a-1)のようにVDFオリゴマー薄膜32内に上向きの分極が生じた場合を"0"が記憶されたものとし、正の電圧V_gを印加して(a-2)のようにVDFオリゴマー薄膜32内に下向きの分極が生じた場合を"1"が記憶されたものとする。

【0030】

このように記憶された"0"又は"1"のデータは、以下のように読み出すことができる。データが"0"の場合は、上向きの分極によって半導体製基板31内のVDFオリゴマー薄膜32との境界付近のチャネル領域に正孔が誘起される。この場合、ソース電極34-ドレイン電極35間に電圧を印加しても電流は流れない。一方、データが"1"の場合は、下向きの分極によってチャネル領域に電子が誘起され、ソース電極34-ドレイン電極35間に電圧を印加するとソースドレイン間電流I_{sd}が流れる。このソースドレイン間電流I_{sd}が検出されればデータは"1"、検出されなければデータは"0"と読み出される。

【0031】

半導体製基板31がn型半導体の場合は上記とは逆の動作となる。

【0032】

このデータの読み出しの際には、分極が消失したり分極の向きが変化することがないため

、データを非破壊で読み出すことができる。

【0033】

(a-1) (a-2) の例では p 型半導体 Si 基板等を用いることにより、半導体基板の一部をチャネルとしている。一方、図 5 (b-1) ~ (d-2) のように絶縁性基板 36 の上に半導体層 37 を形成すれば、半導体材料の選択の自由度が高くなり、有機半導体等の柔らかい材質の半導体をチャネルとすることが可能となる。有機半導体をチャネルとし、VDFオリゴマー薄膜を記憶部とし、絶縁性基板を有機材料製とすることにより、有機材料のみから成る強誘電体メモリを作製することが可能となる。これにより、フレキシブルであり且つ低コストな強誘電体メモリが実現される。

【0034】

図 5 (b-1)、(b-2) に示す強誘電体メモリは、絶縁性基板 36 の上にソース電極 34 及びドレイン電極 35 を載置し、それらの上に半導体層 37 を形成し、半導体層 37 の上に VDFオリゴマー薄膜 32 を載置し、VDFオリゴマー薄膜 32 の上にゲート電極 33 を載置した構造を持つ。図 5 (c-1)、(c-2) に示す強誘電体メモリは、絶縁性基板 36 の上にゲート電極 33、VDFオリゴマー薄膜 32、半導体層 37 を順に載置し、半導体層 37 の上にソース電極 34 及びドレイン電極 35 を載置した構造を持つ。図 5 (d-1)、(d-2) に示す強誘電体メモリは、絶縁性基板 36 の上にゲート電極 33、VDFオリゴマー薄膜 32 を順に載置し、VDFオリゴマー薄膜 32 の上にソース電極 34 及びドレイン電極 35 を載置し、それらの上に半導体層 37 を形成した構造を持つ。

【0035】

これら図 5 (b-1) ~ (d-2) に示す強誘電体メモリは、(a-1) 及び (a-2) に示す強誘電体メモリと同様の方法により記憶及び読み出しを行う。ただし、半導体層 37 が有機半導体から成る場合には、無機半導体の場合とは異なり、ソースドレイン間電流 I_{SD} は半導体層 37 内の多数キャリアにより形成される。従って、VDFオリゴマー薄膜 32 内の分極によって半導体層 37 内に多数キャリアが生成される時にソースドレイン間電流 I_{SD} が流れる。例えば半導体層 37 が p 型有機半導体から成る場合には、図 5 (b-1) ~ (d-2) に示すように、データ記憶時に負のゲート電圧 V_g を印加すれば、半導体層 37 には多数キャリアである正孔が生成され、データ読み出し時にソースドレイン間電流 I_{SD} が検出される（データ”1”の記憶、読み出し）。逆に、データ記

【0036】

本発明に係る 1T 型強誘電体メモリは、強誘電性の優れた VDFオリゴマー薄膜を用いるため、高い情報保持力を有する不揮発性メモリとなる。また、従来の無機強誘電体薄膜を用いた強誘電体メモリのように、製造時における熱処理による基板表面の劣化の影響を受けることはない。

【0037】

ここまでは 1T 型強誘電体メモリについて説明したが、VDFオリゴマー薄膜の強誘電性機能は他の強誘電体メモリにももちろん適用可能である。図 6 にその一例を示す。この強誘電体メモリは、VDFオリゴマー薄膜 32 の上下に導電性材料を真空蒸着することにより、互いに直交するワード線 38 及びビット線 39 を形成したものである (a)。ワード線 38 及びビット線 39 をそれぞれ略平行に複数配置し、ワード線 38 及びビット線 39 のそれぞれで 1 つの層（ワード線層 381 及びビット線層 391）を形成する。更にワード線層 381-VDFオリゴマー薄膜 32-ビット線層 391-VDFオリゴマー薄膜 32 の順に積層を繰り返すことによって、3 次元的に高密度な素子を形成することができる (b)。

【0038】

図 6 に示す強誘電体メモリの動作を説明する。1 つの VDFオリゴマー薄膜 32 に隣接す

る1つのワード線38と1つのビット線39の間に電圧を印加すると、VDFオリゴマー薄膜32の、そのワード線38とビット線39とが交差する位置に、印加した電圧の正負に対応した上向き又は下向きの分極が生じる。この分極は電圧印加終了後も残る。従って、この1つの交差位置が1つの不揮発性メモリとなる。データの読み出しは、1つのワード線38と1つのビット線39の間に、抗電界以上の大きさを持ち、“1”のデータに対応する分極を反転させる極性の電圧を印加する。そのワード線38-ビット線39の交点の分極が“0”のデータに対応するものである場合は何ら変化がないのに対して、その分極が“1”のデータに対応するものである場合は分極が反転し分極反転電流が観測される。データは、分極反転電流が観測されれば“1”、分極反転電流が観測されなければ“0”と読み出される。なお、“1”のデータに対応する分極が反転することから、このメモリは破壊読み出し型である。 10

【0039】

k枚の層のVDFオリゴマー薄膜32を有し、1層のワード線層381がm本のワード線38、1層のビット線層391がn本のビット線39から構成される強誘電体メモリにおいては、 $k \times m \times n$ ビットのデータを記憶することができる。前記のようにVDFオリゴマー薄膜は他の強誘電体よりも膜厚を薄くすることができるため、記録密度を高くすることができる。

【0040】

(2) 圧電膜カンチレバー

圧電膜カンチレバーは、ナノスケールでの物質表面観察及び物性評価に広く用いられている原子間力顕微鏡(AFM)に用いられるものである。AFMは物質表面において探針を走査し、物質表面の原子と探針との間の原子間力を検出することによって物質表面の凹凸を観測する装置である。原子間力の検出には主に、一方の端部に探針を設け他方の端部を固定したカンチレバーがこの原子間力によって受ける変位をレーザー光によって検出する光てこ方式が用いられている。しかし、この光てこ方式は精密な光学系を必要とするため、装置が高額化し、且つ高真空下等の特殊な環境において使用することが困難であった。そのため、カンチレバーの長手方向に強誘電体膜を形成し、強誘電体が有する性質である圧電性(物質に応力を与えると分極が発生する現象)を利用して、前記原子間力によって生じるカンチレバーの歪みを検出する「圧電膜カンチレバー」が提案されている。この方法によれば、装置構成が簡単となるだけでなく、様々な特殊環境下における試料表面観測が可能となる。 30

【0041】

膜を形成する前のカンチレバーには、探針を形成する等の微細加工が行われる。これまで提案されている圧電膜カンチレバーではPZT等の無機強誘電体膜を用いるため、膜を形成する際に高温での熱処理が必要となる。そのため、前記のように微細加工されたカンチレバーが高温処理による変形・変質を起こさないように、カンチレバーの材質はSi等の硬く耐熱性の良好なものに限定される。しかし、観測試料表面の性質によってはSi、N₄(窒化シリコン)等の柔らかい材質から成るカンチレバーを用いる必要があるが、その場合には無機強誘電体膜を用いることができず、従来の光てこ方式を用いざるを得ない。

【0042】

前記圧電膜に、本発明に係る方法によって製造されるVDFオリゴマー膜を用いれば、そのような問題を解決することができる。本発明に係る圧電膜カンチレバーは、図7(f)に示すように、Si、N₄等の材料から成るカンチレバー41上に、下部電極42及び上部電極44に挟まれたVDFオリゴマー膜43を載置したものである。このカンチレバーの一方の端には探針411を形成し、他方の端には装置への固定部412を形成する。 40

【0043】

図7を用いて本発明に係る圧電膜カンチレバーの製造方法の一例を説明する。Si、N₄等の材料から成る探針411及び固定部412を含むカンチレバー41(a)上に真空蒸着又はスパッタリングによって下部電極42を形成する(b)。カンチレバー41及び下部電極42を-130℃以下に冷却しつつ、真空中又は乾燥気体中において下部電極42 50

上にVDFオリゴマーを蒸着又は噴霧することによってVDFオリゴマー膜43を形成する(c)。膜厚はやや厚く(例えば500nm程度)する。カンチレバー41及び下部電極42をほぼ室温に戻した後、VDFオリゴマー膜43上に真空蒸着によって上部電極44を形成する(d)。下部電極42と上部電極44との間に直流電圧を印加し、VDFオリゴマー膜43に自発分極を形成する(e)。これにより、本発明に係る圧電膜カンチレバー40が完成する(f)。

【0044】

この圧電膜カンチレバーを用いたAFMの動作原理を説明する。圧電膜カンチレバー40の固定部412を、励振用圧電体を備えたカンチレバーホルダに固定する。励振用圧電体に交流電圧を印加することによって圧電膜カンチレバーを一定周期で振動するように制御しながら、試料を水平方向に移動することによって、探針を試料表面に沿って走査する。この時、探針と試料表面との間の原子間力によるカンチレバーの変位が前記の励振による変位に重畳される。この重畳された変位を、カンチレバーのVDFオリゴマー膜の歪みによる分極の変化から電気信号として検出する。この電気信号の振幅及び周波数はいずれも変調されて検出される。励振振幅の変調又は励振周波数の変調のいずれかを検出することによって原子間力による変位を検出する。

【0045】

本発明に係る圧電膜カンチレバーは、圧電膜にVDFオリゴマー膜を用いることにより、製造時における高温での熱処理が不要となるため、カンチレバー本体の材質の選択の範囲が広がる。また、VDFオリゴマー膜は柔らかい材質であるため、カンチレバーの性質として重要である弾性に影響を及ぼさない。また、前記のようにVDFオリゴマー膜の残留分極量が大きいため、変位を高い感度で検出することができる。

【0046】

(3) 超音波素子

超音波素子は、超音波を外部へ放射し、及び／又は外部からの超音波を検出する素子である。従来より、セラミックスのZnOやCdSあるいはP(VDF/TrFE)圧電膜を超音波の放射部及び／又は検出部とする超音波素子が実用化されている。しかし、ZnOやCdS圧電膜はスパッタリングによる薄膜形成が必要であることにより工程数及び製造コストの増加が問題となっていた。また、P(VDF/TrFE)圧電膜を超音波の放射部及び／又は検出部とした例もあるが、前記のように膜厚を薄くすることが困難であり、かつスピンコート法による成膜後に分子の結晶化を促進するための熱処理を必要としていた。

【0047】

本発明に係る超音波素子は、基板上に前記の方法によってI型強誘電相を主とするVDFオリゴマー薄膜を形成し、更に、その振動を駆動するために、それを挟んで1対の電極を設けて超音波放射部及び／又は検出部としたものである。

【0048】

本発明に係る超音波素子の動作は以下の通りである。まず、超音波を放射する際は、超音波素子の両電極間に高周波電圧を印加する。VDFオリゴマー薄膜はその圧電性によって交流電気信号を機械的振動に変換し、この機械的振動によって空気を振動させ、超音波を放射する。一方、このVDFオリゴマー薄膜に超音波が入射すると、VDFオリゴマー薄膜は機械的に振動する。VDFオリゴマー薄膜はその圧電性によってこの機械的振動を交流電気信号に変換する。この交流電気信号を検出することにより超音波を検出する。

【0049】

VDFオリゴマー薄膜は蒸着により作製されるため、任意の形状の表面に薄膜を形成することができる。VDFオリゴマー薄膜を載置する基板の表面形状を平面とすることにより平面波の超音波を放射する超音波素子となり、部分球面状とすることにより所定点に超音波を集中放射する超音波素子となる。また、VDFオリゴマー薄膜はP(VDF/TrFE)圧電膜よりも薄くすることができるため、特に高周波領域への広帯域化が可能となる。

【0050】

超音波素子の一構成例を図8(a)に示す。部分球面状の凹部を持つ基板61上に、2枚の電極63及び電極64に挟まれたVDFオリゴマー薄膜62を設ける。図8(b)に示すように、この超音波素子が発する超音波65は前記球面の中心66に集中される。

【0051】

この部分球面形状のVDFオリゴマー薄膜を有する超音波素子を用いた超音波顕微鏡について説明する。前記焦点位置に試料を配置し、素子が発する超音波を試料表面に照射する。この超音波は試料表面において反射、散乱、吸収される。これらのうち試料表面において反射された超音波は、入射経路と同じ経路を通過して素子のVDFオリゴマー薄膜に到達し、電気信号に変換される。これにより、試料表面の1点における表面状態が電気信号として得られる。さらに試料を水平方向に2次元的に走査し、得られた各点毎の電気信号を画像化することによって、超音波顕微鏡像を得ることができる。

【0052】

本発明に係る部分球面形状のVDFオリゴマー薄膜を有する超音波素子を2次元的に複数配置すれば、2次元超音波検出器となる。2次元超音波検出器では、各超音波素子から発する超音波同士が干渉しないように、各超音波素子は焦点への超音波の収束性が高いものでなければならない。そのため、従来の2次元超音波検出器では、各超音波素子に対してそれぞれ音響レンズを別途設ける必要があった。それに対し、本発明に係る2次元超音波検出器では、個々の超音波素子が部分球面形状を有するため、音響レンズを用いることなく超音波をそれぞれ1点に収束することができる。

【0053】

本発明に係る2次元超音波検出器の有効な応用例として、医療用超音波診断装置を挙げることができる。医療用超音波診断装置は、1MHz以上の超音波を生体中に放射し、わずかな界面特性の違いによって生体内部の断面像を得るものである。複数の超音波素子を2次元的に配置した2次元超音波検出器を用いることにより、生体器官の動きをリアルタイムに観察することができる。従来の超音波素子に用いられていたセラミック系の圧電体は音響インピーダンスが高く、生体の音響インピーダンスと整合して効率よく生体に超音波を伝えるために、超音波素子に音響整合層を形成する必要があった。しかし、本発明に係る2次元超音波検出器の各超音波素子は音響インピーダンスが低いため、音響整合層を設けることなく、高効率で超音波を生体内に投入することができる。

【図面の簡単な説明】

【図1】本発明のフッ化ビニリデンオリゴマー薄膜製造方法を表す工程図。

【図2】フッ化ビニリデンオリゴマー薄膜及び他の強誘電体(薄)膜の各種パラメータを示す表。

【図3】本発明のフッ化ビニリデンオリゴマー薄膜製造方法の一実施例を表す工程図。

【図4】VDFオリゴマー薄膜の電束密度-電界曲線を表すグラフ。

【図5】フッ化ビニリデンオリゴマー薄膜を用いた1T型の強誘電体メモリの構成を示す断面図。

【図6】フッ化ビニリデンオリゴマー薄膜を用いた1T型以外の強誘電体メモリの構成を示す図。

【図7】フッ化ビニリデンオリゴマー膜を用いた圧電薄膜カンチレバーの製造方法の一例を表す工程図。

【図8】フッ化ビニリデンオリゴマー薄膜を用いた超音波素子の一構成例を示す図。

【符号の説明】

11、20、61…基板

12、23、32、62…VDFオリゴマー薄膜

21…Siウエハ

22…白金層

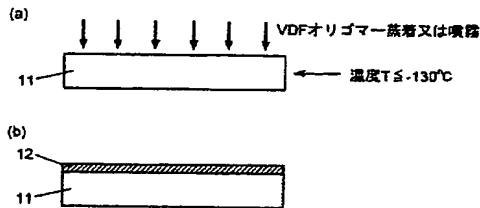
31…半導体製基板

33…ゲート電極

- 3 4 …ソース電極
- 3 5 …ドレイン電極
- 3 6 …絶縁性基板
- 3 7 …半導体層
- 3 8 …ワード線
- 3 8 1 …ワード線層
- 3 9 …ビット線
- 3 9 1 …ビット線層
- 4 0 …圧電膜カンチレバー
- 4 1 …カンチレバー
- 4 1 1 …探針
- 4 2 …下部電極
- 4 3 …VDFオリゴマー膜
- 4 4 …上部電極
- 6 3、6 4 …電極
- 6 5 …超音波
- 6 6 …焦点

10

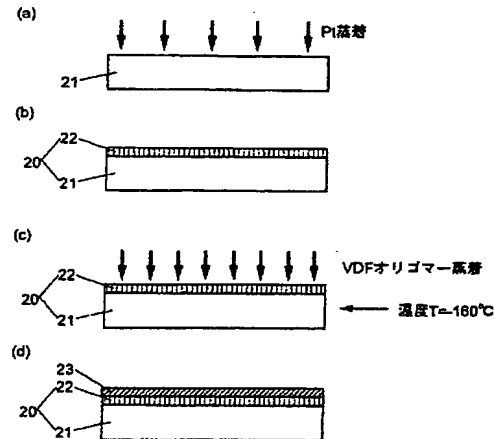
【図 1】



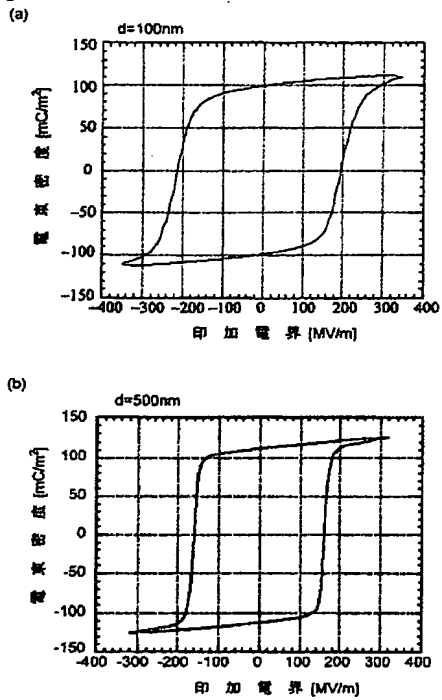
【図 2】

	VDF オリゴマー	PZT (無機)	PVDF (ポリマー)	P(VDF/TrFE) (ポリマー)
圧電係数 d [$\mu\text{C}/\text{m}^2\text{V}$]	70	300	30	50
比誘電率 ϵ	10	2000	10	10
体積比熱 C_v [$10^3\text{J}/\text{m}^3\text{K}$]	2.4	3.0	2.4	2.4
膜厚 d [nm]	100以下	100	1000	1000

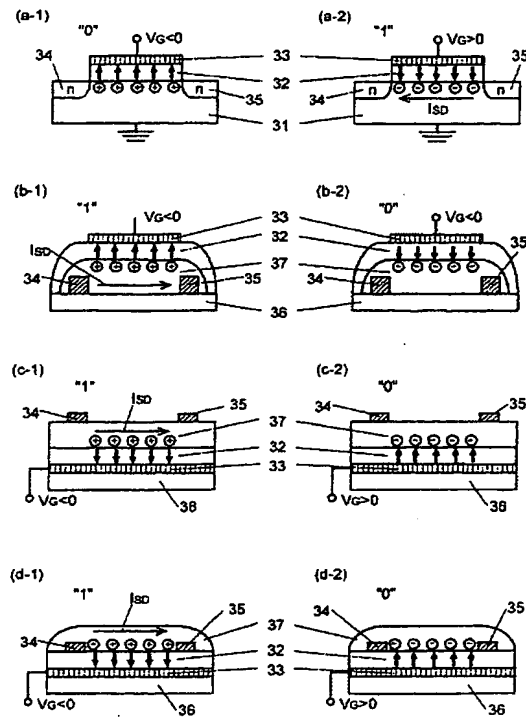
【図 3】



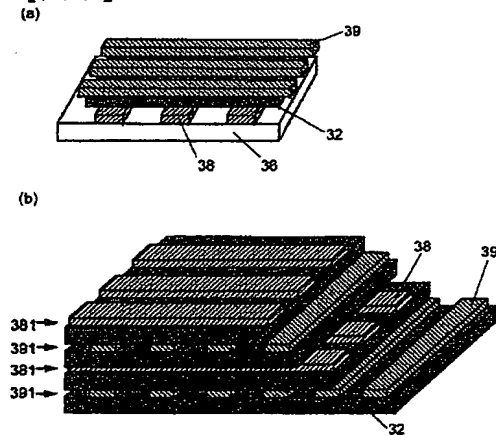
【図 4】



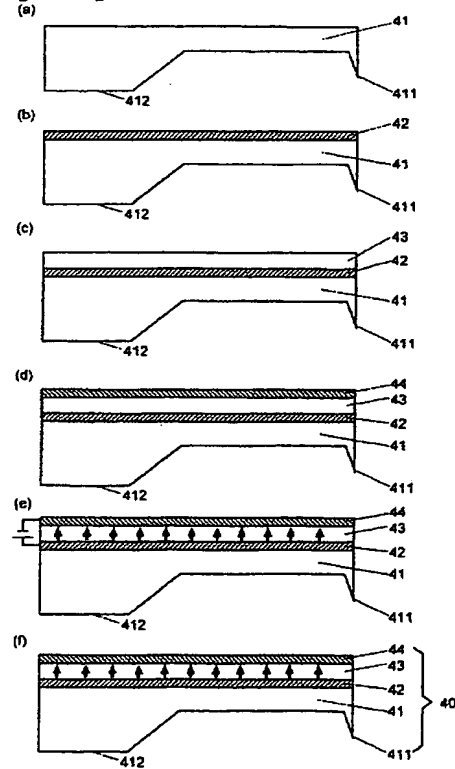
【図 5】



【図 6】

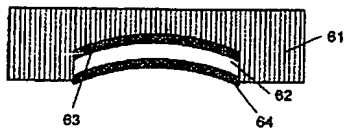


【図 7】

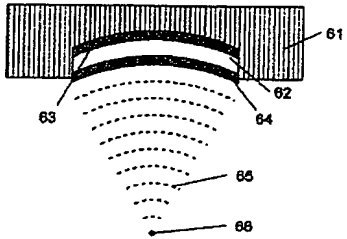


【図 8】

(a)



(b)



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 29/788	H 0 1 L 29/78	3 7 1
H 0 1 L 29/792	H 0 1 L 41/08	H
H 0 1 L 41/08	H 0 1 L 41/22	C
H 0 1 L 41/09	H 0 1 L 41/08	J
H 0 1 L 41/193	H 0 1 L 41/18	1 0 2
H 0 1 L 41/26	H 0 1 L 29/28	
H 0 1 L 51/00	H 0 1 B 19/00	
// H 0 1 B 19/00		

(72)発明者 堀内 俊寿

京都市左京区吉田本町 京都大学ベンチャービジネスラボラトリー内

(72)発明者 松重 和美

京都市左京区吉田本町 京都大学ベンチャービジネスラボラトリー内

F ターム (参考) 4K029 AA06 AA24 BA62 BD01 CA01 DB06 DB17

5F058 AC05 AF04 AF10 AH04

5F083 FR01 FR05 JA01 JA36 JA38

5F101 BA62 BD02 BF01 BH01

5G333 AA03 AB12 BA04 CA03 CB17 DA11